

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-74703

(43)公開日 平成11年(1999)3月16日

(51) Int.Cl.^a
H 01 P 1/15
H 01 L 27/04
21/822
H 03 K 17/693

識別記号

F I
H 01 P 1/15
H 03 K 17/693
H 01 L 27/04

A
B

審査請求 有 請求項の数12 O.L (全14頁)

(21)出願番号 特願平9-236129

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成9年(1997)9月1日

(72)発明者 水谷 浩

東京都港区芝五丁目7番1号 日本電気株
式会社内

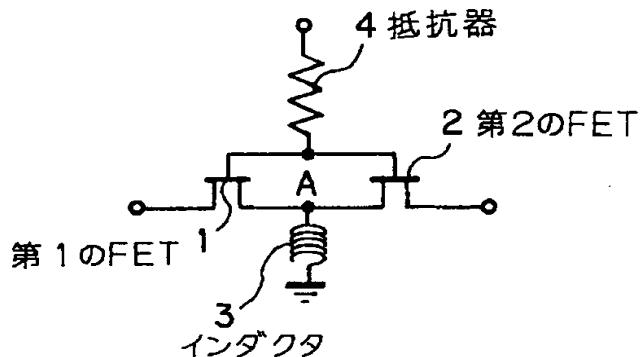
(74)代理人 弁理士 若林 忠 (外4名)

(54)【発明の名称】スイッチ回路及び半導体装置

(57)【要約】

【課題】 60GHz以上高い周波数でも高性能を維持したまま広い有効帯域を得ることができるスイッチ回路及び半導体装置を提供する。

【解決手段】 直列に接続された二つの電界効果トランジスタと、二つの電界効果トランジスタの接続部位に一端が接続され、他端が接地されたインダクタとによって単位回路が構成され、直列に接続された少なくとも一つの単位回路を備え、電界効果トランジスタのゲートがそれぞれ共通に接続されて電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれに等しく印加される構成とする。



【特許請求の範囲】

【請求項1】 直列に接続された二つの電界効果トランジスタと、二つの前記電界効果トランジスタの接続部位に一端が接続され、他端が接地されたインダクタと、によって単位回路が構成され、直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるスイッチ回路。

【請求項2】 前記インダクタは、半導体基板に設けられたビアホールである請求項1記載のスイッチ回路。

【請求項3】 前記電界効果トランジスタのソースあるいはドレインの少なくとも一方、インダクタとして動作する伝送線路が接続される請求項1または2記載のスイッチ回路。

【請求項4】 電界効果トランジスタと、前記電界効果トランジスタのソースに一端が接続され、他端が接地された第1のインダクタと、前記電界効果トランジスタのドレンに一端が接続され、他端が接地された第2のインダクタと、によって単位回路が構成され、直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるスイッチ回路。

【請求項5】 電界効果トランジスタと、前記電界効果トランジスタのソースに直列に接続される、インダクタとして動作する第1の伝送線路及び第2の伝送線路と、

前記電界効果トランジスタのドレンに直列に接続される、インダクタとして動作する第3の伝送線路及び第4の伝送線路と、

前記第1の伝送線路及び前記第2の伝送線路の接続部位に一端が接続され、他端が接地された第1のインダクタと、

前記第3の伝送線路及び前記第4の伝送線路の接続部位に一端が接続され、他端が接地された第2のインダクタと、によって単位回路が構成され、

直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるスイッチ回路。

【請求項6】 前記インダクタは、半導体基板に設けられたビアホールである請求項4または5記載のスイッチ回路。

【請求項7】 請求項1乃至6のいずれか1項に記載の

スイッチ回路を複数備え、

該スイッチ回路のそれぞれの一端を共通にし、該スイッチ回路毎に異なった前記バイアス電圧が印加可能なスイッチ回路。

【請求項8】 ソース電極及びドレン電極がゲート電極を挟んで配置され、前記ソース電極またはドレン電極のいずれか一方を共有電極として直列に接続された二つの電界効果トランジスタと、

前記共有電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作するビアホールと、によって単位素子が構成され、前記ソース電極またはドレン電極のいずれか一方を前記共有電極として直列に接続された少なくとも一つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えた半導体装置。

【請求項9】 前記ビアホールと前記共有電極が、インダクタとして動作する伝送線路で接続された半導体装置。

【請求項10】 ソース電極及びドレン電極がゲート電極を挟んで配置された電界効果トランジスタと、

前記ソース電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第1のビアホールと、

前記ドレン電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第2のビアホールと、によって単位素子が構成され、

30 前記ソース電極またはドレン電極のいずれか一方を前記共有電極として直列に接続された少なくとも一つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えた半導体装置。

【請求項11】 インダクタとして動作する第1の伝送線路及び第2の伝送線路の機能を備えたソース電極、及びインダクタとして動作する第3の伝送線路及び第4の伝送線路の機能を備えたドレン電極がゲート電極を挟んで配置された電界効果トランジスタと、

前記第1の伝送線路及び第2の伝送線路の接続点と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第1のビアホールと、

前記第3の伝送線路及び第4の伝送線路の接続点と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第2のビアホールと、によって単位素子が構成され、

前記ソース電極またはドレン電極のいずれか一方を前記共有電極として直列に接続された少なくとも一

つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えた半導体装置。

【請求項12】 請求項8乃至11のいずれか1項に記載の半導体装置を複数備え、

該半導体装置のそれぞれの一端を共通にし、該半導体装置毎に異なった前記バイアス電圧が印加可能なゲートバイアス線にそれぞれ抵抗素子を備えた半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は少なくとも一つの電界効果トランジスタからなるスイッチ回路及び半導体装置に関するものである。

【0002】

【従来の技術】 ミリ波帯用の電界効果トランジスタ（以下、FETと称す）を有するスイッチ回路として、FETのソースードレイン間にインダクタが並列に接続された半導体装置が有望視されている（伊山ら「インダクタ内蔵FETスイッチ」通信学会技報Vol.1. MW-96-71, pp. 21-26, July, 1996）。

【0003】 図28は従来のスイッチ回路の構成を示す回路図である。図28において、FET121のソースードレイン間にはインダクタ123が並列に接続され、FET121がオン／オフすることで第1の端子125及び第2の端子126間がスイッチとして動作する。ここで、FET121は3端子素子であるが、ゲートに十分な大きさの抵抗器124が接続されている場合、ゲートに繋がるバイアス線路はRF的に開放となり、FET121は等価的に2端子素子として表わすことができる。すなわち、FET121がオフのときは容量Cと等価になり、オンのときは抵抗器Rと等価になる。

【0004】 図29は図28に示したFETがオフのときの等価回路を示す回路図であり、図30は図28に示したFETがオンのときの等価回路を示す回路図である。

【0005】 図29において、ゲートにピンチオフ電圧以下の電圧を印加しFET121をオフにすると、第1の端子125及び第2の端子126間は容量CとインダクタLとが並列に接続された回路と等価となる。このとき、第1の端子125及び第2の端子126間のアイソレーションIsは次式で表わすことができる。

【0006】

【数1】

$$Is = \frac{1}{1 + \left(\frac{\pi f L}{Z_0 (1 - 4\pi^2 f^2 L C)} \right)^2} \quad (1)$$

ここで、並列に接続された容量CとインダクタLの共振

周波数f0は、

【0007】

【数2】

$$Is = \frac{1}{1 + \left(\frac{\pi f L}{Z_0 (1 - 4\pi^2 f^2 L C)} \right)^2} \quad (1)$$

となり、共振周波数f0の信号が入力されたときに第1の端子125から第2の端子126に透過する電力がゼロになる。また、このときのアイソレーションIsは理想的には無限大となる。

【0008】 しかしながら、第1の端子125から入力された信号の周波数が共振周波数f0から少しでもずれていると、アイソレーションIsが大きく劣化する。図28に示した従来の半導体装置では、共振周波数f0 = 3.7GHzでアイソレーションIsが10dBであるが、周波数が3.5GHzになるとアイソレーションは7dBに劣化する。

【0009】 一方、FET121をオンにすると、図30に示すように第1の端子125及び第2の端子126間は抵抗RとインダクタLが並列に接続された回路と等価になる。このとき、第1の端子125から第2の端子126に透過する電力は、第1の端子125及び第2の端子126のインピーダンスをそれぞれZ0とする、

【0010】

【数3】

$$S_{21} = \frac{2}{2 + \frac{R}{Z_0 (1 + \frac{R}{2\pi j f L})}} \quad (2)$$

で求めることができる。このときの挿入損失ILはゼロから周波数fが大きくなるにしたがい

【0011】

【数4】

$$IL = \left| \frac{2}{2 + \frac{R}{Z_0}} \right|^2 \quad (3)$$

に近づいていく。図28に示した従来のスイッチ回路の挿入損失は3.7GHzで1.3dBであった。

【0012】 ところで、従来のスイッチ回路において、例えば9.4GHzの信号に対する挿入損失とアイソレーションIsの値は、理想的には式(1)と式(3)を使って計算できる。図31はその計算結果を示すグラフである。図31に示したグラフによれば、L = 100pH, C = 0.03pFで、共振周波数f0が9.2GHzとなる。このとき、アイソレーションIsが20dB以上となる周波数範囲をこの回路の有効帯域と定義する

と、図28に示したスイッチ回路の有効帯域は5.3GHzとなる。

【0013】

【発明が解決しようとする課題】しかしながら上記したような従来のスイッチ回路では有効帯域が狭くなるという問題があった。

【0014】本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、600Hz以上の高い周波数でもスイッチ回路として高性能を維持したまま広い有効帯域を得ることができるスイッチ回路及び半導体装置を提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するため本発明のスイッチ回路は、直列に接続された二つの電界効果トランジスタと、二つの前記電界効果トランジスタの接続部位に一端が接続され、他端が接地されたインダクタと、によって単位回路が構成され、直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるものである。

【0016】このとき、前記インダクタは、半導体基板に設けられたビアホールであってもよく、前記電界効果トランジスタのソースあるいはドレインの少なくとも一方、インダクタとして動作する伝送線路が接続されていてよい。

【0017】また、本発明のスイッチ回路の他の構成は、電界効果トランジスタと、前記電界効果トランジスタのソースに一端が接続され、他端が接地された第1のインダクタと、前記電界効果トランジスタのドレインに一端が接続され、他端が接地された第2のインダクタと、によって単位回路が構成され、直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるものである。

【0018】あるいは、電界効果トランジスタと、前記電界効果トランジスタのソースに直列に接続される、インダクタとして動作する第1の伝送線路及び第2の伝送線路と、前記電界効果トランジスタのドレインに直列に接続される、インダクタとして動作する第3の伝送線路及び第4の伝送線路と、前記第1の伝送線路及び前記第2の伝送線路の接続部位に一端が接続され、他端が接地された第1のインダクタと、前記第3の伝送線路及び前記第4の伝送線路の接続部位に一端が接続され、他端が接地された第2のインダクタと、によって単位回路が構成され、直列に接続された少なくとも一つの前記単位回路を備え、前記電界効果トランジスタのゲートがそれぞ

れ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧が抵抗器を介してそれぞれのゲートに等しく印加されるものである。

【0019】このとき、前記インダクタは、半導体基板に設けられたビアホールであってもよい。

【0020】また、上記したいずれかのスイッチ回路を複数備え、該スイッチ回路のそれぞれの一端を共通にし、該スイッチ回路毎に異なった前記バイアス電圧が印加可能なスイッチ回路を構成してもよい。

10 【0021】一方、本発明の半導体装置は、ソース電極及びドレイン電極がゲート電極を挟んで配置され、前記ソース電極またはドレイン電極のいずれか一方を共有電極とすることで直列に接続された二つの電界効果トランジスタと、前記共有電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作するビアホールと、によって単位素子が構成され、前記ソース電極またはドレイン電極のいずれか一方を前記共有電極とすることで直列に接続された少なくとも一つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えたものである。

20 【0022】このとき、前記ビアホールと前記共有電極が、インダクタとして動作する伝送線路で接続されているてもよい。

【0023】また、本発明の半導体装置の他の構成は、ソース電極及びドレイン電極がゲート電極を挟んで配置された電界効果トランジスタと、前記ソース電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第1のビアホールと、前記ドレイン電極と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第2のビアホールと、によって単位素子が構成され、前記ソース電極またはドレイン電極のいずれか一方を前記共有電極とすることで直列に接続された少なくとも一つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えたものである。

40 【0024】あるいは、インダクタとして動作する第1の伝送線路及び第2の伝送線路の機能を備えたソース電極、及びインダクタとして動作する第3の伝送線路及び第4の伝送線路の機能を備えたドレイン電極がゲート電極を挟んで配置された電界効果トランジスタと、前記第1の伝送線路及び第2の伝送線路の接続点と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する第1のビアホールと、前記第3の伝送線路及び第4の伝送線路の接続点と接地電位を接続するために半導体基板に設けられる、インダクタとして動作する

第2のビアホールと、によって単位素子が構成され、前記ソース電極またはドレイン電極のいずれか一方を前記共有電極として直列に接続された少なくとも一つの前記単位素子を備え、前記ゲート電極がそれぞれ共通に接続されて、前記電界効果トランジスタのオンオフを制御するためのバイアス電圧をそれぞれのゲート電極に等しく印加するためのゲートバイアス線に抵抗器を備えたものである。

【0025】また、上記したいづれかの半導体装置を複数備え、該半導体装置のそれぞれの一端を共通にし、該半導体装置毎に異なった前記バイアス電圧が印加可能なゲートバイアス線にそれぞれ抵抗素子を備えた半導体装置を構成してもよい。

【0026】上記のように構成されたスイッチ回路及び半導体装置では、電界効果トランジスタはオフのときに容量として動作するため、この容量とビアホールあるいは伝送線路で形成されたインダクタとによってT型あるいはπ型ハイパスフィルタが構成される。したがって、低挿入損失で広帯域特性を備えたオン状態が実現される。

【0027】一方、電界効果トランジスタはオンのときに抵抗として動作するため、この抵抗による損失によって高いアイソレーションで広帯域特性を有するオフ状態が実現される。

【0028】

【発明の実施の形態】次に本発明について図面を参照して説明する。

【0029】(第1の実施の形態) 図1は本発明のスイッチ回路の第1の実施の形態の構成要素である単位回路の構成を示す回路図であり、図2は本発明のスイッチ回路の第1の実施の形態の構成を示す回路図である。また、図3は図1に示したFETがオフのときの等価回路を示す回路図であり、図4は図1に示したFETがオンのときの等価回路を示す回路図である。

【0030】図1において、単位回路は、第1のFET1、第2のFET2及びインダクタ3によって構成されている。第1のFET1のドレインあるいはソースと、第2のFET2のソースあるいはドレインが接続され、第1のFET1及び第2のFET2は直列に接続されている。第1のFET1及び第2のFET2の接続点Aにはインダクタ3の一端が接続され、インダクタ3の他端は接地されている。また、第1のFET1のゲート及び第2のFET2のゲートは共通に接続され、抵抗器4が接続されている。

【0031】図2において、本実施の形態のスイッチ回路は、図1に示した単位回路が複数個直列に接続されて構成されている。各単位回路の構成要素であるFETのゲートはそれぞれ共通に接続され、抵抗器4を介してそれぞれに等しいバイアス電圧が印加される。また、スイッチ回路の両端は第1の端子5及び第2の端子6に接続

されている。

【0032】このような構成において、各FETがオフのとき、各単位回路は図3に示すT型ハイパスフィルタと等価となるため、第1の端子5及び第2の端子6間(スイッチ回路)には低挿入損失で広帯域特性を備えたオン状態が実現される。

【0033】一方、各FETがオンのとき、各単位回路は図4に示すような回路と等価となり、直列に接続された複数のFETの各抵抗によって第1の端子5及び第2の端子6間(スイッチ回路)には高いアイソレーションで広帯域特性を有するオフ状態が実現される。

【0034】なお、一つの単位回路で十分なアイソレーションを得ることができる場合は(例えば抵抗値が十分な大きさのとき)、単位回路を複数個設ける必要はない。この場合でも、スイッチがオンのときはT型ハイパスフィルタを形成するため、低挿入損失と広帯域特性とが損なわれることはない。なお、設計に際して第1の端子5及び第2の端子6間の周波数特性はFETの容量とインダクタの値で決定される。

【0035】次に、本実施の形態のスイッチ回路を形成した半導体装置について図5を用いて説明する。

【0036】本実施の形態の半導体装置は、図1に示したスイッチ回路を基に、ゲート長が0.15μm、ゲート幅が100μmのAlGaN系ヘテロ接合のFETを8個直列に接続して構成した。また、FETがオフのときの容量は30fF、インダクタンスは13pHである。この半導体装置のスイッチ特性を図5に示す。

【0037】図5は本発明の半導体装置の第1の実施の形態の周波数特性を示すグラフである。図5に示すように、本実施の形態の半導体装置は、300GHzから500GHzの広い周波数範囲で、挿入損失が2.3dB以下、アイソレーションが44dB以上の特性を得た。また、有効帯域は200GHzであった。

【0038】(第2の実施の形態) 図6は本発明のスイッチ回路の第2の実施の形態の構成要素である単位回路の構成を示す回路図であり、図7は本発明のスイッチ回路の第2の実施の形態の構成を示す回路図である。

【0039】図6において、単位回路は、ドレインにインダクタとして動作する第1の伝送線路17が接続され、ソースにインダクタとして動作する第2の伝送線路18がそれぞれ接続された第1のFET11及び第2のFET12と、インダクタ13とによって構成されている。第1のFET11及び第2のFET12は第2の伝送線路18を介して直列に接続され、それらの接続点Aにはインダクタ13の一端が接続され、インダクタ13の他端は接地されている。また、第1のFET11のゲート及び第2のFET12のゲートは共通に接続され、抵抗器14が接続されている。

【0040】図7において、本実施の形態のスイッチ回路は、図6に示した単位回路が複数個直列に接続されて

構成されている。各単位回路の構成要素であるFETのゲートはそれぞれ共通に接続され、抵抗器34を介してそれぞれに等しいバイアス電圧が印加される。また、スイッチ回路の両端は第1の端子15及び第2の端子16に接続されている。

【0041】このような構成において、本実施の形態のスイッチ回路は、第1の実施の形態と同様に、各FETがオフのとき、各単位回路はT型ハイパスフィルタと等価となるため、第1の端子15及び第2の端子16間に低挿入損失で広帯域特性を備えたオン状態が実現される。

【0042】一方、各FETがオンのとき、直列に接続された複数のFETの各抵抗によって第1の端子15及び第2の端子16間に高いアイソレーションで広帯域特性を有するオフ状態が実現される。

【0043】なお、設計に際して第1の端子15及び第2の端子16間の周波数特性はFETの容量とインダクタで決定される。

【0044】次に、本実施の形態のスイッチ回路を形成した半導体装置について図8～図10を用いて説明する。

【0045】本実施の形態の半導体装置は、図7に示したスイッチ回路を基に、ゲート長が0.15μm、ゲート幅が100μmのAlGaN系ヘテロ接合のFETと、長さ5μm、幅100μmの第1の伝送線路17と、長さ150μm、幅100μmの第2の伝送線路18とかなる単位回路を10個直列に接続して構成した。なお、FETのオフ時の容量は30fF、インダクタンスは13pHである。図8は本発明の半導体装置の第2の実施の形態の構造を示す平面図である。

【0046】図8において、FETはゲート電極22を挟んでドレン電極23及びソース電極24が両側に配置されて構成される。なお、ドレン電極23及びソース電極24はそれぞれ伝送線路としても機能する。

【0047】また、二つのFETのソース電極24どうしが接続され、接続された二つのソース電極24の接続部位は、インダクタ13として機能するビアホール20を介して接地金属が一面に配された半導体基板の裏面に接続される。これら伝送線路を含む二つのFET及びビアホール20によって単位素子が形成され、単位素子を10個直列に配置することで本実施の形態の半導体装置が形成される。

【0048】また、各FETのゲート電極22はそれぞれ共通に接続され、バイアス線路上に設けられた抵抗器34を介してそれぞれに等しいバイアス電圧が印加される。また、半導体装置の両端には不図示の第1の端子15及び第2の端子16が接続される。

【0049】図9は図8に示した半導体装置の周波数特性を示すグラフである。図9に示すように、本実施の形態の半導体装置は、84GHzから98GHzの広い周

波数範囲で挿入損失1.8dB以下、アイソレーション34dB以上の特性を得た。また、有効帯域は14GHzであった。

【0050】図10は本発明の半導体装置の第2の実施の形態の単位素子を6個直列に接続した場合の周波数特性を示すグラフである。図10に示すように、本実施の形態の単位素子を6個直列に接続した半導体装置は、83GHzから97GHzの広い周波数範囲で挿入損失が1.7dB以下、アイソレーションが25dB以上の特性を得た。また、有効帯域は14GHzであった。

【0051】なお、図9及び図10のグラフを比較して明らかのように、単位素子の数が少なくなると、オフ状態における抵抗値が小さくなるため、アイソレーションが劣化する傾向にある。

【0052】(第3の実施の形態)図11は本発明のスイッチ回路の第3の実施の形態の構成要素である単位回路の構成を示す回路図であり、図12は本発明のスイッチ回路の第3の実施の形態の構成を示す回路図である。

【0053】図11において、単位回路は、ドレンに第1の伝送線路37が接続され、ソースに第2の伝送線路38がそれぞれ接続された第1のFET31及び第2のFET32と、第3の伝送線路39と、インダクタ33とによって構成される。なお、本実施の形態ではインダクタ33としてビアホール40を用いている。第1のFET31及び第2のFET32は第2の伝送線路38を介して直列に接続され、それらの接続点Aには第3の伝送線路39及びビアホール40が直列に接続され、ビアホール40の他端(第3の伝送線路39と接続されない側)は接地されている。また、第1のFET31のゲート及び第2のFET32のゲートは共通に接続され、抵抗器34が接続されている。

【0054】図12において、本実施の形態のスイッチ回路は、図11に示した単位回路が複数個直列に接続されて構成されている。各単位回路の構成要素であるFETのゲートはそれぞれ共通に接続され、抵抗器34を介してそれぞれに等しいバイアス電圧が印加される。また、スイッチ回路の両端は第1の端子35及び第2の端子36に接続されている。

【0055】このような構成において、本実施の形態のスイッチ回路は、第1の実施の形態及び第2の実施の形態と同様に、各FETがオフのとき、各単位回路はT型ハイパスフィルタと等価となるため、第1の端子35及び第2の端子36間に低挿入損失で広帯域特性を備えたオン状態が実現される。

【0056】一方、各FETがオンのとき、直列に接続された複数のFETの各抵抗によって第1の端子35及び第2の端子36間に高いアイソレーションで広帯域特性を有するオフ状態が実現される。

【0057】なお、第1の端子35及び第2の端子36間の周波数特性は各FETの容量と第1の伝送線路3

7、第2の伝送線路38、及び第3の伝送線路39のそれぞれの幅と長さによって決定される。

【0058】次に、本実施の形態のスイッチ回路を形成した半導体装置について図13及び図14を用いて説明する。

【0059】本実施の形態の半導体装置は、図12に示したスイッチ回路を基に、ゲート長が0.15μm、ゲート幅が100μmのAlGaAs系ヘテロ接合のFETと、長さ5μm、幅100μmの第1の伝送線路37と、長さ5μm、幅100μmの第2の伝送線路38と、長さ150μm、幅25μmの第3の伝送線路39と、長さ50μm、幅50μmの大きさの電極の下に形成された13pHのインダクタンスを有するビアホール40とからなる単位素子を10個直列に接続して構成した。なお、FETのオフ時の容量は30fF、インダクタンスは13pHである。

【0060】図13は本発明の半導体装置の第3の実施の形態の構造を示す平面図である。

【0061】図13において、FETはゲート電極42を挟んでドレイン電極43及びソース電極44が両側に配置されて構成される。なお、ドレイン電極43及びソース電極44はそれぞれ伝送線路としても機能する。

【0062】また、二つのFETのソース電極44どうしが接続され、接続された二つのソース電極44の接続部位は、第3の伝送線路39とインダクタ33として機能するビアホール40を介して接地金属が一面に配された半導体基板の裏面に接続される。これら伝送線路を含む二つのFET、第3の伝送線路39、及びビアホール40によって単位素子が形成され、単位素子を10個直列に配置することで本実施の形態の半導体装置が形成される。

【0063】また、各FETのゲート電極42はそれぞれ共通に接続され、バイアス線路上に設けられた抵抗器34を介してそれぞれに等しいバイアス電圧が印加される。また、半導体装置の両端には不図示の第1の端子35及び第2の端子36が接続される。

【0064】図14は図13に示した半導体装置の周波数特性を示すグラフである。図14に示すように、本実施の形態の半導体装置は、59GHzから71GHzの広い周波数範囲で挿入損失が2.6dB以下、アイソレーションが22.5dB以上の特性を得た。また、有効帯域は12GHzであった。

【0065】(第4の実施の形態)図15は本発明のスイッチ回路の第4の実施の形態の構成要素である単位回路の構成を示す回路図であり、図16は本発明のスイッチ回路の第4の実施の形態の構成を示す回路図である。

【0066】図15において、本実施の形態の単位回路は、第3の実施の形態で示した単位回路から第1の伝送線路を除いた構成である。単位回路は、ソースに第2の伝送線路58がそれぞれ接続された第1のFET51及

び第2のFET52と、第3の伝送線路59と、インダクタ53とによって構成される。なお、本実施の形態ではインダクタ53としてビアホール60を用いている。第1のFET51及び第2のFET52は第2の伝送線路58を介して直列に接続され、それらの接続点Aには第3の伝送線路59及びビアホール60が直列に接続され、ビアホール60の他端(第3の伝送線路59と接続されない側)は接地されている。また、第1のFET51のゲート及び第2のFET52のゲートは共通に接続され、抵抗器54が接続されている。

【0067】図16において、本実施の形態のスイッチ回路は、図15に示した単位回路が複数個直列に接続されて構成されている。各単位回路の構成要素であるFETのゲートはそれぞれ共通に接続され、抵抗器54を介してそれぞれに等しいバイアス電圧が印加される。また、回路の両端は第1の伝送線路57を介して第1の端子55及び第2の端子56に接続されている。

【0068】このような構成において、本実施の形態のスイッチ回路は、第1の実施の形態～第3の実施の形態と同様に、各FETがオフのとき、各単位回路はT型ハイパスフィルタとなるため、第1の端子55及び第2の端子56間には低挿入損失で広帯域特性を備えたオン状態が実現される。

【0069】一方、各FETがオンのとき、直列に接続された複数のFETの各抵抗によって第1の端子55及び第2の端子56間には高いアイソレーションで広帯域特性を有するオフ状態が実現される。なお、第1の端子55及び第2の端子56間の周波数特性は各FETの容量と第2の伝送線路58、及び第3の伝送線路59のそれぞれの幅と長さによって決定される。

【0070】次に、本実施の形態のスイッチ回路を形成した半導体装置について図17及び図18を用いて説明する。

【0071】本実施の形態の半導体装置は、図16に示したスイッチ回路を基に、ゲート長が0.15μm、ゲート幅が100μmのAlGaAs系ヘテロ接合のFETと、長さ5μm、幅100μmの第1の伝送線路57と、長さ5μm、幅100μmの第2の伝送線路58と、長さ150μm、幅25μmの第3の伝送線路59と、長さ50μm、幅50μmの大きさの電極の下に形成された13pHのインダクタンスを有するビアホール60とからなる単位素子を10個直列に接続して構成した。なお、FETのオフ時の容量は30fF、インダクタンスは13pHである。

【0072】図17は本発明の半導体装置の第4の実施の形態の構造を示す平面図である。

【0073】図17において、FETはゲート電極62の片側にソース電極64が配置されて構成される。なお、ソース電極64は伝送線路としても機能する。

【0074】また、二つのFETのソース電極64どう

しが接続され、接続された二つのソース電極64の接続部位は、第3の伝送線路59とインダクタ53として機能するビアホール40とを介して接地金属が一面に配された半導体基板の裏面に接続される。これら伝送線路を含む二つのFET、第3の伝送線路59、及びビアホール60によって単位素子が形成され、単位素子を10個直列に配置することで本実施の形態の半導体装置が形成される。

【0075】また、各FETのゲート電極62はそれぞれ共通に接続され、バイアス線路上に設けられた抵抗器54を介してそれぞれに等しいバイアス電圧が印加される。また、半導体装置の両端には第1の伝送線路57としても機能するドレイン電極63を介して不図示の第1の端子55及び第2の端子56に接続されている。なお、図17では半導体装置の両端に配置されたFETを除く他のFETにはドレイン電極が形成されていないが、ドレイン領域はゲート電極が2本連続して配置された間に形成されている。

【0076】図18は図17に示した半導体装置の周波数特性を示すグラフである。図18に示すように本実施の形態の半導体装置は、58GHzから73GHzの広い周波数範囲で挿入損失が2.6dB以下、アイソレーションが23dB以上の特性を得た。また、有効帯域は15GHzであった。

【0077】(第5の実施の形態) 図19は本発明のスイッチ回路の第5の実施の形態の構成要素である単位回路の構成を示す回路図であり、図20は本発明のスイッチ回路の第5の実施の形態の構成を示す回路図である。

【0078】図19において、本実施の形態の単位回路は、ソース及びドレインに、それぞれ一端が接地されたインダクタ73が接続されたFET71によって構成される。また、FET71のゲートには抵抗器74が接続されている。

【0079】図20において、本実施の形態の半導体装置は図19に示した単位回路が複数個直列に接続されて構成されている。各単位回路の構成要素であるFETのゲートはそれぞれ共通に接続され、抵抗器74を介してそれぞれに等しいバイアス電圧が印加される。また、スイッチ回路の両端はそれぞれ第1の端子75及び第2の端子76に接続されている。

【0080】このような構成において、第5の実施の形態は、各FETがオフのとき、各単位回路はπ型ハイパスフィルタと等価となるため、第1の端子75及び第2の端子76間には第1の実施の形態と同様に低挿入損失で広帯域特性を備えたオン状態が実現される。

【0081】一方、各FETがオンのとき、第1の実施の形態と同様に直列に接続された複数のFETの各抵抗によって第1の端子75及び第2の端子76間には高いアイソレーションで広帯域特性を有するオフ状態が実現される。なお、第1の端子75及び第2の端子76間の

周波数特性は各FETの容量とインダクタの値によって決定される。

【0082】次に、本実施の形態のスイッチ回路を形成した半導体装置について図21を用いて説明する。

【0083】本実施の形態の半導体装置は、図20に示したスイッチ回路を基に、ゲート長が0.15μm、ゲート幅が100μmのAlGaN系ヘテロ接合のFETからなる単位回路を8個直列に接続して構成する。なお、FETのオフ時の容量は30fF、インダクタンスは13pHである。

【0084】図21は本発明の半導体装置の第5の実施の形態の周波数特性を示すグラフである。図21に示すように本実施の形態の半導体装置は、183GHzから235GHzの広い周波数範囲で挿入損失が1.1dB以下、アイソレーションが28.7dB以上の特性を得た。また、有効帯域は52GHzであった。

【0085】(第6の実施の形態) 図22は本発明のスイッチ回路の第6の実施の形態の構成要素である単位回路の構成を示す回路図であり、図23は本発明のスイッチ回路の第6の実施の形態の構成を示す回路図である。

【0086】図22において、本実施の形態の単位回路は、ソースに第1の伝送線路87及び第3の伝送線路が直列に接続され、ドレンに第2の伝送線路88及び第4の伝送線路82が直列に接続されたFET81と、二つのインダクタ83とによって構成されている。第1の伝送線路87と第3の伝送線路89の接続点及び第2の伝送線路88と第4の伝送線路82の接続点にはそれぞれインダクタ83の一端が接続され、インダクタ83の他端は接地されている。

【0087】図23において、本実施の形態の半導体装置は図22に示した単位回路が複数個直列に接続されて構成されている。各単位回路の構成要素であるFETのゲートはそれぞれ共通に接続され、抵抗器84を介してそれぞれに等しいバイアス電圧が印加される。また、スイッチ回路の両端はそれぞれ第1の端子85及び第2の端子86に接続されている。

【0088】このような構成において、第6の実施の形態は、第5の実施の形態と同様に、各FETがオフのとき、各単位回路はπ型ハイパスフィルタと等価となるため、第1の端子85及び第2の端子86間には低挿入損失で広帯域特性を備えたオン状態が実現される。

【0089】一方、各FETがオンのとき、直列に接続された複数のFETの各抵抗によって第1の端子85及び第2の端子86間には高いアイソレーションで広帯域特性を有するオフ状態が実現される。なお、第1の端子85及び第2の端子86間の周波数特性は各FETの容量及びインダクタの値と、第1の伝送線路87、第2の伝送線路88、第3の伝送線路89、及び第4の伝送線路82の長さ及び幅によって決定される。

【0090】次に、本実施の形態のスイッチ回路を形成

した半導体装置について図24及び図25を用いて説明する。

【0091】本実施の形態の半導体装置は、図23に示したスイッチ回路を基に、ゲート長が $0.15\mu m$ 、ゲート幅が $100\mu m$ のAlGaAs系ヘテロ接合のFETと、長さ $150\mu m$ 、幅 $100\mu m$ の第1の伝送線路87～第4の伝送線路82からなる単位回路を10個直列に接続して構成する。なお、FETのオフ時の容量は $30fF$ 、インダクタンスは $13pH$ である。また半導体基板の厚さは $40\mu m$ である。

【0092】図24は本発明の半導体装置の第6の実施の形態の構造を示す平面図である。

【0093】図24において、FETはゲート電極92を挟んでドレイン電極93及びソース電極94が両側に配置されて構成される。なお、ドレイン電極93及びソース電極94はそれぞれ伝送線路としても機能する。

【0094】また、伝送線路でもあるFETのソース電極94及びドレイン電極93は、インダクタ83として機能するピアホール90を介して接地金属が一面に配された半導体基板の裏面に接続される。これら伝送線路を含むFET及びピアホール90によって単位素子が形成され、単位素子を10個直列に配置することで本実施の形態の半導体装置が形成される。

【0095】また、各FETのゲート電極92はそれぞれ共通に接続され、バイアス線路上に設けられた抵抗器84を介してそれぞれに等しいバイアス電圧が印加される。また、半導体装置の両端には不図示の第1の端子85及び第2の端子86が接続される。

【0096】図25は図24に示した半導体装置の周波数特性を示すグラフである。破線で示した特性は単位素子を10個直列に接続した場合の周波数特性である。このとき、 $134GHz$ から $160GHz$ の広い周波数範囲で挿入損失が $3.5dB$ 以下、アイソレーションが $140dB$ 以上の特性を得た。また、有効帯域は $26GHz$ であった。一方、実線で示した特性は単位素子を5個直列に接続した場合の周波数特性である。このとき、 $134GHz$ から $162GHz$ の広い周波数範囲で挿入損失が $3.5dB$ 以下、アイソレーションが $68.6dB$ 以上の特性を得た。また、有効帯域は $28GHz$ であった。

【0097】(第7の実施の形態) 図26は本発明のスイッチ回路の第7の実施の形態の構成を示す回路図である。

【0098】図26において、本実施の形態のスイッチ回路は、図23に示した第6の実施の形態のスイッチ回路を二つ用い、それぞれの一方の端子を共有した構成くなっている。

【0099】すなわち、本実施の形態のスイッチ回路は、図22に示した単位回路が複数個直列に接続された第1のスイッチ回路101及び第2のスイッチ回路10

2によって構成されている。また、第1のスイッチ回路101及び第2のスイッチ回路102の一端は第1の端子105に接続され、第1のスイッチ回路101の他端は第2の端子106に、第2のスイッチ回路102の他端は第3の端子107にそれぞれ接続されている。

【0100】また、第1のスイッチ回路101の構成要素である各FETのゲートは共通に接続され、第1の抵抗器103を介してそれぞれ等しいバイアス電圧が印加される。同様に、第2のスイッチ回路102の構成要素である各FETのゲートは共通に接続され、第2の抵抗器104を介してそれぞれ等しいバイアス電圧が印加される。

【0101】この第1のスイッチ回路101に印加するバイアス電圧及び第2のスイッチ回路102に印加するバイアス電圧を相補的に切り換えることで、RF信号の経路を切り換えることができる。

【0102】ところで、第1の実施の形態から第6の実施の形態までは単極単投型のスイッチ回路を示したものであり、それに対して本実施の形態では単極双投型のスイッチ回路の構成を示している。なお、第1の実施の形態～第6の実施の形態で示したスイッチ回路を複数個用い、それらの一方の端子を共有にすると複数のRF経路を切り換えることができる任意の多極多投型のスイッチ回路を構成することができる。

【0103】次に、本実施の形態のスイッチ回路を形成した半導体装置について図27を用いて説明する。

【0104】図27は本発明の半導体装置の構造を示す平面図である。

【0105】本実施の形態の半導体装置は、第6の実施の形態と同一のFETを用いて形成する。なお、第6の実施の形態では単位素子を10個あるいは5個直列に接続した場合を示したが、本実施の形態では5個の単位素子を直列に接続した場合を示す。

【0106】図27において、半導体装置には第1のスイッチ回路101及び第2のスイッチ回路102が直列に形成される。第1のスイッチ回路101及び第2のスイッチ回路102の接続部位には伝送線路115が接続され、伝送線路115は不図示の第1の端子105と接続される。また、第1のスイッチ回路101の他端(第402のスイッチ回路102と接続されない側)は不図示の第2の端子106と接続され、第2のスイッチ回路102の他端(第1のスイッチ回路101と接続されない側)は不図示の第3の端子107と接続される。

【0107】FETはゲート電極112を挟んでドレイン電極113及びソース電極114が両側に配置されて構成される。なお、ドレイン電極113及びソース電極114はそれぞれ伝送線路としても機能する。

【0108】また、伝送線路でもあるFETのソース電極114及びドレイン電極113は、インダクタとして機能するピアホール120を介して接地金属が一面に配

された半導体基板の裏面に接続される。これら伝送線路を含むFET及びピアホール120によって単位素子が形成され、単位素子を5個直列に配置することで本実施の形態の半導体装置が形成される。

【0109】また、各単位回路の構成要素であるFETのゲート電極112はスイッチ回路毎にそれぞれ共通に接続され、第1のスイッチ回路101では第1の抵抗器103を介してそれぞれに等しいバイアス電圧が印加される。同様に第2のスイッチ回路102では第2の抵抗器104を介してそれぞれに等しいバイアス電圧が印加される。

【0110】なお、本実施の形態では、第6の実施の形態で示したスイッチ回路及び半導体装置を用いて单極双投型のスイッチ回路を構成する場合を示しているが、第1の実施の形態～第5の実施の形態のどのスイッチ回路及び半導体装置を用いても同様のスイッチ回路を構成することができる。

【0111】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【0112】本発明のスイッチ回路及び半導体装置によれば、FETがオンのときは低挿入損失のオン状態が得られ、FETがオフのときは高いアイソレーションのオフ状態が得られるスイッチ回路が構成される。また、従来のスイッチ回路に比べて広い有効帯域を得られ、例えば、同じ周波数帯で2.6倍以上の広い有効帯域が得られ、100GHz以上の高い周波数でもその高性能及び広い有効帯域を有するスイッチ回路を得ることができ

【図面の簡単な説明】

【図1】本発明のスイッチ回路の第1の実施の形態の構成要素である単位回路の構成を示す回路図である。

【図2】本発明のスイッチ回路の第1の実施の形態の構成を示す回路図である。

【図3】図1に示したFETがオフのときの等価回路を示す回路図である。

【図4】図1に示したFETがオンのときの等価回路を示す回路図である。

【図5】本発明の半導体装置の第1の実施の形態の周波数特性を示すグラフである。

【図6】本発明のスイッチ回路の第2の実施の形態の構成要素である単位回路の構成を示す回路図である。

【図7】本発明のスイッチ回路の第2の実施の形態の構成を示す回路図である。

【図8】本発明の半導体装置の第2の実施の形態の構造を示す平面図である。

【図9】図8に示した半導体装置の周波数特性を示すグラフである。

【図10】本発明の半導体装置の第2の実施の形態の単位素子を6個直列に接続した場合の周波数特性を示すグ

ラフである。

【図11】本発明のスイッチ回路の第3の実施の形態の構成要素である単位回路の構成を示す回路図である。

【図12】本発明のスイッチ回路の第3の実施の形態の構成を示す回路図である。

【図13】本発明の半導体装置の第3の実施の形態の構造を示す平面図である。

【図14】図13に示した半導体装置の周波数特性を示すグラフである。

10 【図15】本発明のスイッチ回路の第4の実施の形態の構成要素である単位回路の構成を示す回路図である。

【図16】本発明のスイッチ回路の第4の実施の形態の構成を示す回路図である。

【図17】本発明の半導体装置の第4の実施の形態の構造を示す平面図である。

【図18】図17に示した半導体装置の周波数特性を示すグラフである。

【図19】本発明のスイッチ回路の第5の実施の形態の構成要素である単位回路の構成を示す回路図である。

20 【図20】本発明のスイッチ回路の第5の実施の形態の構成を示す回路図である。

【図21】本発明の半導体装置の第5の実施の形態の周波数特性を示すグラフである。

【図22】本発明のスイッチ回路の第6の実施の形態の構成要素である単位回路の構成を示す回路図である。

【図23】本発明のスイッチ回路の第6の実施の形態の構成を示す回路図である。

【図24】本発明の半導体装置の第6の実施の形態の構造を示す平面図である。

30 【図25】図24に示した半導体装置の周波数特性を示すグラフである。

【図26】本発明のスイッチ回路の第7の実施の形態の構成を示す回路図である。

【図27】本発明の半導体装置の構造を示す平面図である。

【図28】従来のスイッチ回路の構成を示す回路図である。

【図29】図28に示したFETがオフのときの等価回路を示す回路図である。

40 【図30】図28に示したFETがオンのときの等価回路を示す回路図である。

【図31】図28に示したスイッチ回路の周波数特性を示すグラフである。

【符号の説明】

1、11、31、51 第1のFET

2、12、32、52 第2のFET

3、13、33、53、73、83 インダクタ

4、14、34、54、74、84 抵抗器

5、15、35、55、75、85、105 第1の端子

19

20

6、16、36、56、76、86、106
端子

17、37、57、87 第1の伝送線路
18、38、58、88 第2の伝送線路
20、40、60、90、120 ピアホール
22、42、62、92、112 ゲート電極
23、43、63、93、113 ドレイン電極
24、44、64、94、114 ソース電極
39、59、89 第3の伝送線路

第2の

* 71、81 FET

82 第4の伝送線路

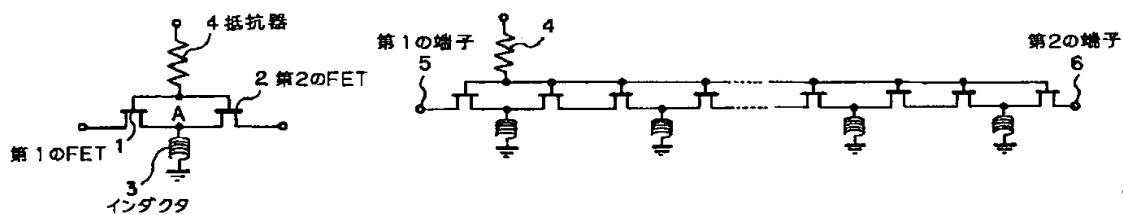
101 第1のスイッチ回路
102 第2のスイッチ回路
103 第1の抵抗器
104 第2の抵抗器
107 第3の端子
115 伝送線路

*

10

【図1】

【図2】

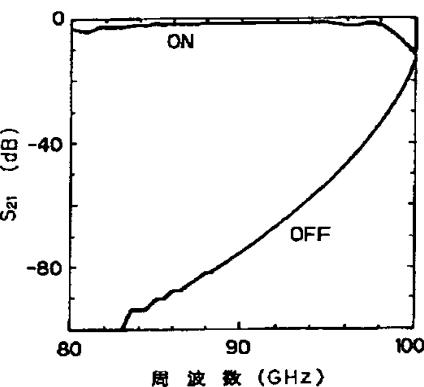
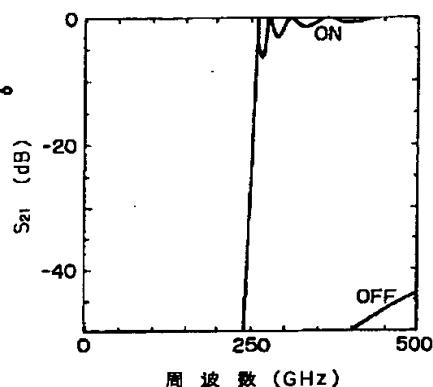
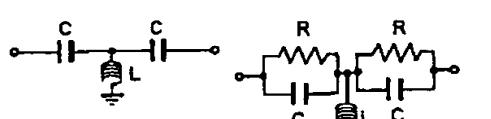


【図3】

【図4】

【図5】

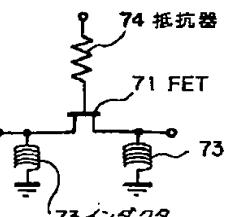
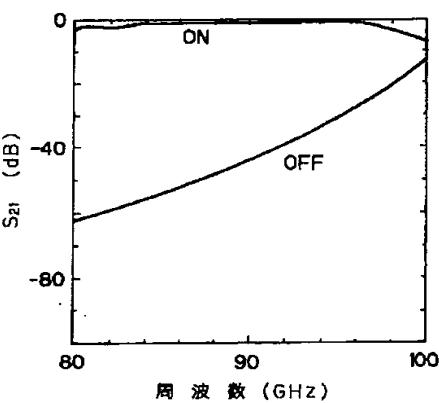
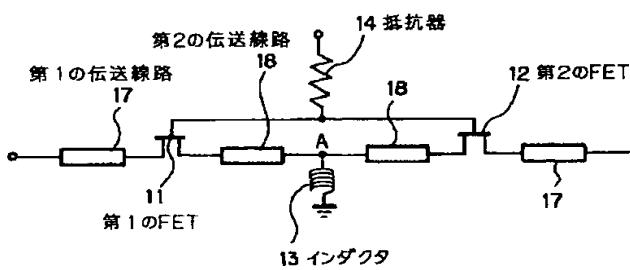
【図9】



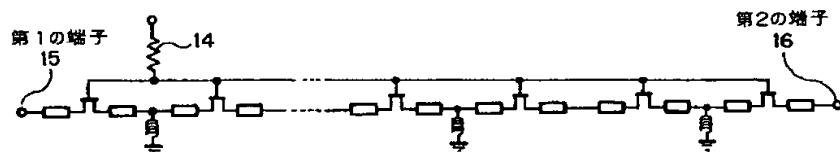
【図6】

【図10】

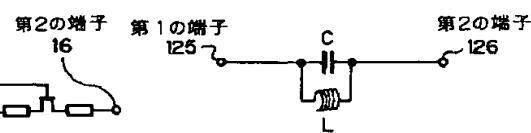
【図19】



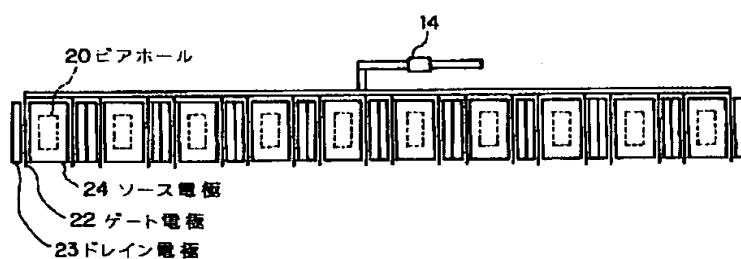
【図7】



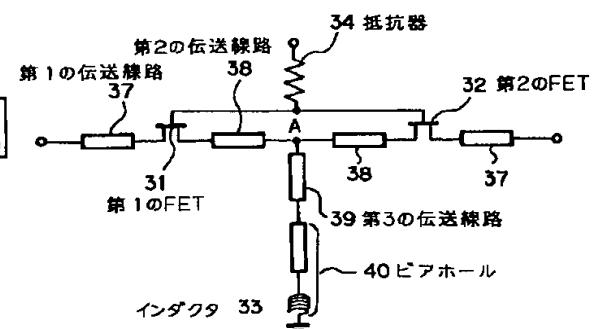
【図29】



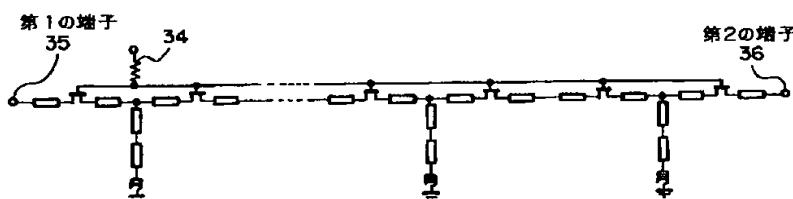
【図8】



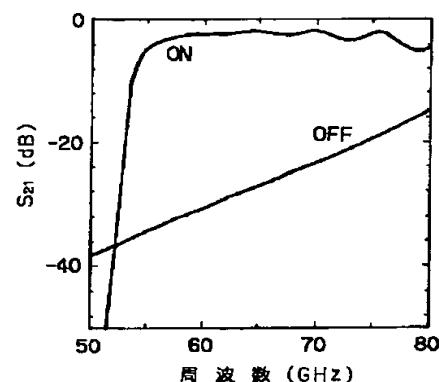
【図11】



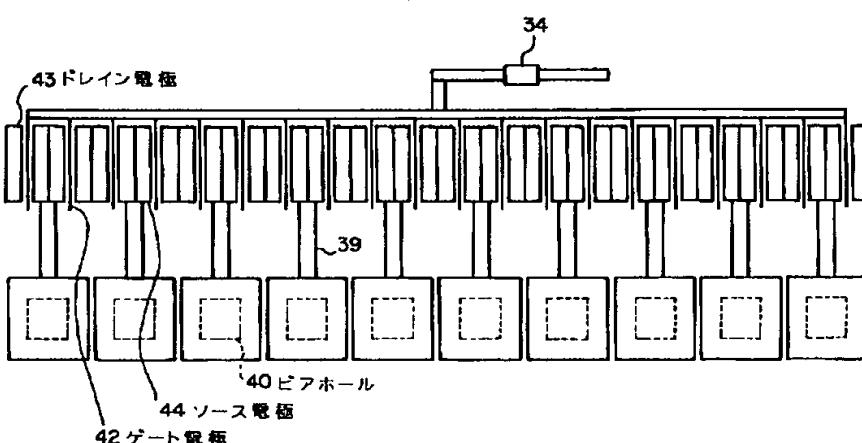
【図12】



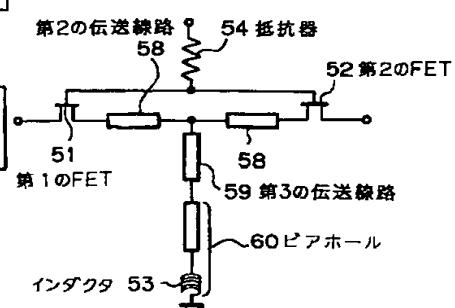
【図14】



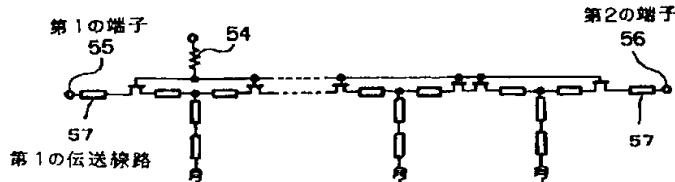
【図13】



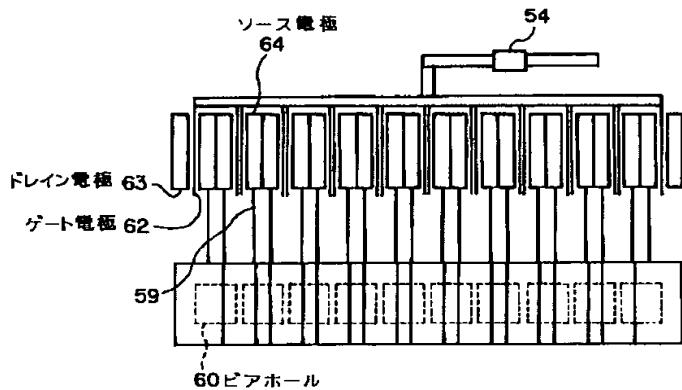
【図15】



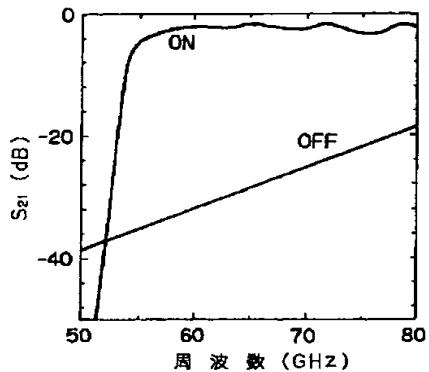
【図16】



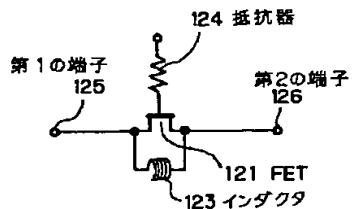
【図17】



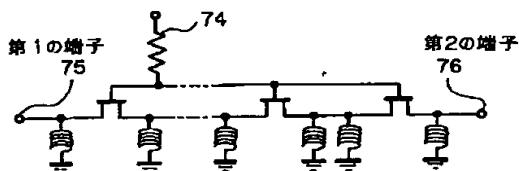
【図18】



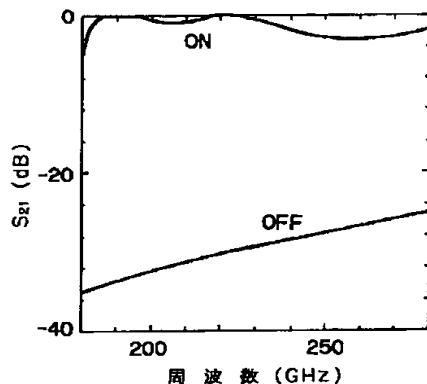
【図28】



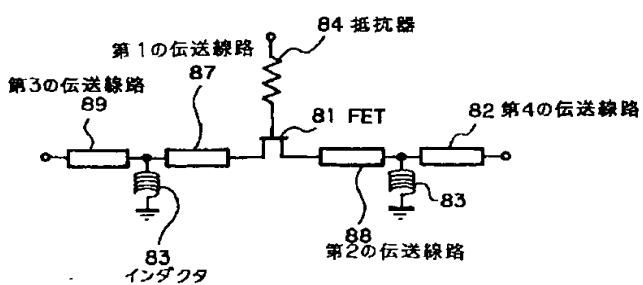
【図20】



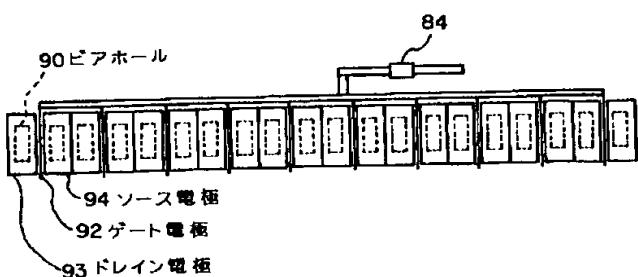
【図21】



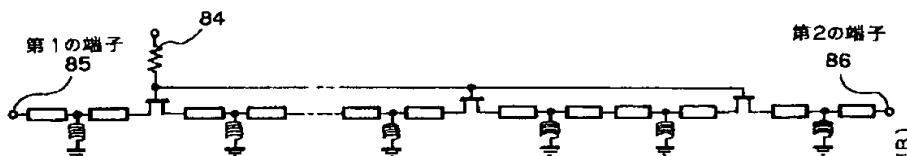
【図22】



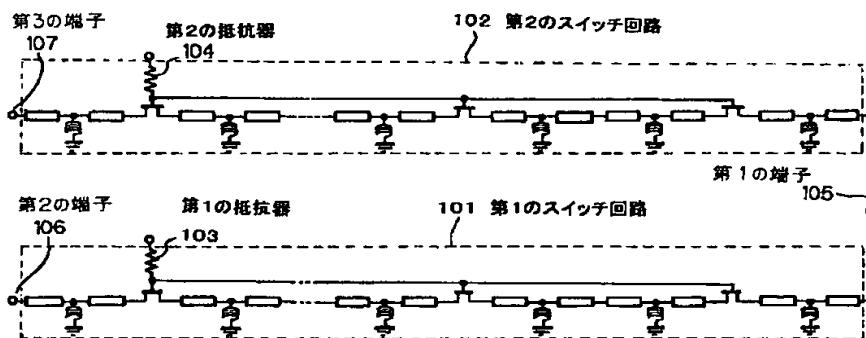
【図24】



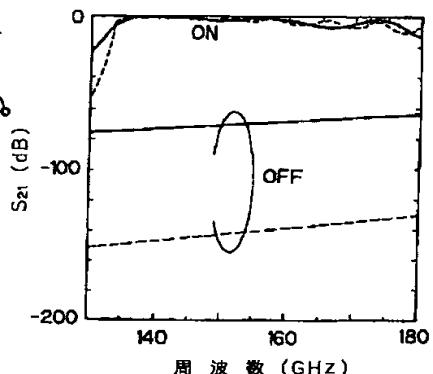
【図 23】



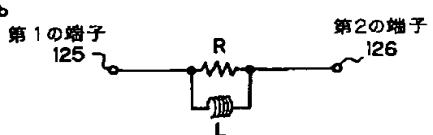
【図 26】



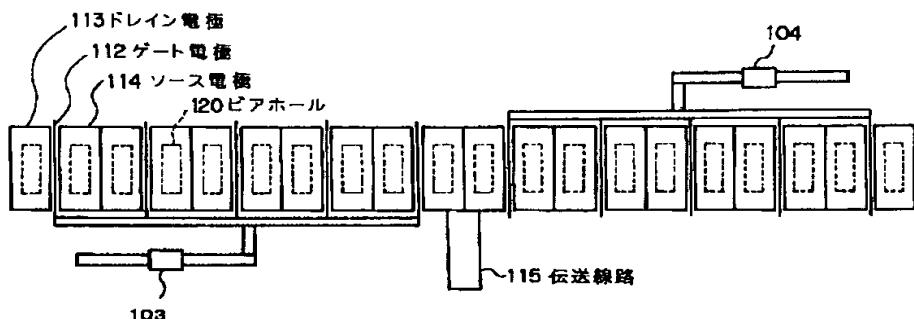
【図 25】



【図 30】



【図 27】



【図 31】

